

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi SUGAHARA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-204516	July 31, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月31日
Date of Application:

出願番号 特願2003-204516
Application Number:

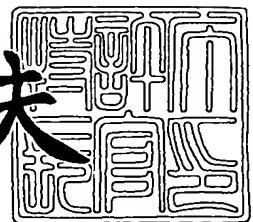
[ST. 10/C] : [JP2003-204516]

出願人 株式会社東芝
Applicant(s):

2003年 9月17日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 A000302117
【提出日】 平成15年 7月31日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明の名称】 半導体メモリ装置
【請求項の数】 8
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 菅原 肇
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ装置

【特許請求の範囲】

【請求項1】 夫々第1、第2のビット線を有し第1の方向に配列された複数のビット線対と、

前記第1、第2のビット線間に夫々第1、第2のデータ記憶ノードを介して接続された複数のS R A Mセルを有するセルアレイと、

前記ビット線と交差する第2の方向に配列された複数のワード線と、

書き込みモード時に前記ワード線により選択されたS R A Mセルに前記第1、第2のビット線を介して書き込みデータを供給するとともに、読み出しモード時に前記ワード線により選択されたS R A Mセルから前記第1のビット線に読み出された読み出しデータを前記第1のビット線に書き戻すデータ書き込み回路と、を具備することを特徴とする半導体メモリ装置。

【請求項2】 前記書き込み回路は、読み出しモード時に前記第1のビット線からプリチャージ電位に相当する読み出しデータが読み出されたときに、この読み出しデータに基づいて前記第1のビット線をプリチャージ電位に再チャージする書き戻し回路を含むことを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 前記書き込み回路は、読み出しモード時に読み出しデータがデータ読み出し端子に出力されるまでの間、前記ビット線への書き戻し動作を停止させる停止回路を含むことを特徴とする請求項1または請求項2に記載の半導体メモリ装置。

【請求項4】 前記書き込み回路は、読み出し、書き込みモードに先行する夫々の時点で前記ビット線をプリチャージするプリチャージ回路を含むことを特徴とする請求項3に記載の半導体メモリ装置。

【請求項5】 夫々第1、第2のビット線を有し第1の方向に配列された複数のビット線対と、

前記第1、第2のビット線間に夫々第1、第2のデータ記憶ノードを有する第1、第2のトランスマルチплексорを介して接続された複数のS R A Mセルを有するセルアレイと、

前記第1、第2のビット線に交差する第2の方向に配列され、前記第1、第2のトランスファゲートに夫々別々に接続された第1、第2のワード線と、

書き込みモード時に前記第1、第2のワード線により選択されたS R A Mセルに前記第1、第2のビット線を介して書き込みデータを供給するとともに、読み出しモード時に、前記第1、第2のワード線のうちの活性化されたワード線により選択されたS R A Mセルのデータ記憶ノードから前記第1、第2のビット線のうちの少なくとも一方のビット線に読み出された読み出しデータを当該ビット線に書き戻すデータ書き込み回路と、
を具備することを特徴とする半導体メモリ装置。

【請求項6】 前記データ書き込み回路は、前記第1、第2のビット線のうち読み出しモード時にプリチャージ電位に相当する読み出しデータが読み出されたビット線をプリチャージ電位に再チャージする書き戻し回路を含むことを特徴とする請求項5に記載の半導体メモリ装置。

【請求項7】 前記書き込み回路は、読み出しモード時に読み出しデータが¹出力されるまでの間、前記ビット線への書き戻し動作を停止させる停止回路を含むことを特徴とする請求項5または請求項6に記載の半導体メモリ装置。

【請求項8】 前記書き込み回路は、読み出し、書き込みモードに先行する夫々の時点で前記ビット線をプリチャージするプリチャージ回路を含むことを特徴とする請求項7に記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体メモリ装置、特にS R A Mに関する。

【0002】

【従来の技術】

S R A Mの大容量化、高速化の要求に応じてS R A Mセルを構成するトランジスタも微細化、高速化がますます進んできており、その結果、ビット線に発生するリーク電流もますます多くなってきている。そのリーク電流はS R A Mセルのトランスファートランジスタのオフリーク電流によって引き起こされるため、1

つのビット線に繋がるS R A Mセルの数が多くなると、ビット線に発生するリーク電流の総量が無視できなくなり、データ読み出しエラーが発生する問題が生じている。特に読み出し動作に相補ビット線のどちらか一方のみを用いている構成の場合、読み出し回路を接続した方のビット線がプリチャージ電位と同じ電位を読み出すと、フローティング状態になったビット線のプリチャージ電位でデータを補償しなければならないため、上記リーク電流によりデータ読み出しエラーが発生する可能性が更に高くなる。

【0003】

プリチャージに関しては、例えばS R A Mからのデータ読み出し時に選択されたビット線にライトドライバと兼用のプリチャージ回路を用いてプリチャージを行っている従来例がある。（例えば、特許文献1参照）。

【0004】

また、プリチャージ時に予め放電状態をチェックしておいたS R A Mセルに接続されているビット線の電位を選択的に回復させる機能を持ったプリチャージ手段を具えている従来例もある。（例えば、特許文献2参照）。

【0005】

【特許文献1】

特開平6-195977号公報（第2欄、第4図参照）

【0006】

【特許文献2】

米国特許第6,064,616号公報（要約、請求項1参照）

【0007】

【発明が解決しようとする課題】

しかしながら、前記特許文献1に記載された発明では、プリチャージを行った後で多数のS R A Mセルからのリーク電流に起因するビット線の電位低下には対処できず、読み出しエラーが発生してしまう。

【0008】

また、前記特許文献2に記載された発明では、特に問題となるS R A Mセルに接続されたビット線の電位低下には対処できるが、前記特許文献1と同様に、

リチャージを行った後で多数のSRAMセルからのリーク電流に起因するビット線の電位低下には対処できず、やはり読み出しエラーが発生してしまう。

[0 0 0 9]

このように従来では、SRAMセルからプリチャージ電位と同じ電位のデータを読み出す時に、そのトランスマートランジスタがオフしているために、ビット線に対する電荷供給能力がない。このため、データ読み出し時に、プリチャージされたビット線からのリーク電流があると、このビット線の電位低下が生じ、読み出しエラーが発生してしまう。

[0 0 1 0]

従って、この発明は、プリチャージされたビット線からのリーク電流による電位低下を防止して読み出しエラーの発生を未然に防止できるとともに、読み出しモード時の高速動作も可能な半導体メモリ装置を提供することを目的とする。

[0 0 1 1]

【課題を解決するための手段】

この発明の一実施態様による半導体メモリ装置は、夫々第1、第2のビット線を有し第1の方向に配列された複数のビット線対と、前記第1、第2のビット線間に夫々第1、第2のデータ記憶ノードを介して接続された複数のS R A Mセルを有するセルアレイと、前記ビット線と交差する第2の方向に配列された複数のワード線と、書き込みモード時に前記ワード線により選択されたS R A Mセルに前記第1、第2のビット線を介して書き込みデータを供給するとともに、読み出しモード時に前記ワード線により選択されたS R A Mセルから前記第1のビット線に読み出された読み出しデータを前記第1のビット線に書き戻すデータ書き込み回路とを具備することを特徴として構成されている。

[0 0 1 2]

また、この発明の他の実施態様の半導体メモリ装置は、夫々第1、第2のビット線を有し第1の方向に配列された複数のビット線対と、前記第1、第2のビット線間に夫々第1、第2のデータ記憶ノードを有する第1、第2のトランスマルチゲートを介して接続された複数のSRAMセルを有するセルアレイと、前記第1、第2のビット線に交差する第2の方向に配列され、前記第1、第2のトラン

ファゲートに夫々別々に接続された第1、第2のワード線と、書き込みモード時に前記第1、第2のワード線により選択されたS R A Mセルに前記第1、第2のビット線を介して書き込みデータを供給するとともに、読み出しモード時に、前記第1、第2のワード線のうちの活性化されたワード線により選択されたS R A Mセルのデータ記憶ノードから前記第1、第2のビット線のうちの少なくとも一方のビット線に読み出された読み出しデータを当該ビット線に書き戻すデータ書き込み回路とを具備することを特徴として構成されている。

【0013】

これらの構成により、プリチャージされたビット線からのリーク電流による電位低下を防止して読み出しエラーの発生を未然に防止できるとともに、読み出しモード時の高速動作も可能な半導体メモリ装置を提供することができる。

【0014】

【発明の実施の形態】

以下、この発明について図面を参照して詳細に説明する。

【0015】

読み出しモード時において、プリチャージされたビット線からのリーク電流による電位低下を防止する機能を持つS R A M回路として、この発明者はまず図5に示す構成の回路を提案した。以下、図5を参照してこの回路の説明をする。

【0016】

図5において、夫々第1、第2のビット線B L 1、／B L 1、…B L n、／B L nを有し、互いに平行に配列された複数のビット線対が設けられる。第1、第2のビット線B L 1、／B L 1間には、夫々第1、第2のデータ記憶ノードを介して接続されたm個のS R A MセルS C 1 1～S C m 1を有する第1のセルアレイグループが構成される。同様に、n番目のビット線対B L n、B L n間には、m個のS R A MセルS C 1 n～S C m nを有する第nのセルアレイグループが構成される。このように複数のセルアレイグループをロウ方向に配列してS R A Mのセルアレイブロックが構成される。

【0017】

S R A Mセル、例えばセルS C 1 1は、PMOSトランジスタP 1とNMOS

トランジスタN1とで構成された第1のインバータと、PMOSトランジスタP2とNMOSトランジスタN2とで構成された第2のインバータと、第1のインバータの出力ノードと一方のビット線BL1との間に接続されたトランジスタで構成される。トランジスタT1と、第2のインバータの出力ノードと他方のビット線/BL1との間に接続されたトランジスタT2との合計6個のトランジスタで構成される。トランジスタT1、T2のゲートはワード線WL1に共通に接続される。他のすべてのSRAMセルも同様に構成されている。

【0018】

前記セルアレイのカラム方向には複数のワード線WL1～WLmが配列され、夫々ロウ方向に配列されたn個のSRAMセルに共通に接続される。更に、ワード線WL1～WLmに平行な方向には、反転プリチャージ信号/preが供給されるプリチャージ線PLが配置される。

【0019】

ビット線対BL1、/BL1の内の一方のビット線BL1の一端は、データ読み出し回路R1の読み出しデータ入力端に接続される。このデータ読み出し回路R1は、ビット線BL1に並列に接続された一対のPMOSトランジスタPt1、Pt2と、ビット線BL1の一端と読み出しデータ出力端TR1との間に直列に接続されたインバータIR1、IR2とを含む。一方のPMOSトランジスタPt1のゲートはプリチャージ線PLに接続され、他方のPMOSトランジスタPt2のゲートはインバータIR1、IR2の接続点に接続される。他方のビット線/BL1とプリチャージ線PLとの交点には、ビット線/BL1のプリチャージ用のPMOSトランジスタPt3が接続される。図示しないが、残りのすべてのビット線のプリチャージ回路および、データ読み出し回路Rnを含む残りのデータ読み出し回路も同様に構成される。

【0020】

前記PMOSトランジスタPt2は、読み出しモード時に前記ワード線により選択された例えばSRAMセルSC11から前記第1のビット線BL1を介して読み出されたデータに基づいて、当該ビット線BL1の電位をプリチャージ電位

に保持する状態保持回路として動作する。即ち、S R A MセルS C 1 1から読み出されたデータがHレベルのデータであるときのみ、インバータI R 1により反転されたLレベルの信号がP M O SトランジスタP t 2のゲートに供給され、このトランジスタP t 2を介してプリチャージ信号と同等の電位がビット線B L 1に供給される。

【0021】

更に、第1、第2のビット線B L 1、／B L 1には、書き込みモード時に、例えば前記ワード線W L 1により選択されたS R A MセルS C 1 1に前記第1、第2のビット線B L 1、／B L 1を介して書き込みデータを供給するデータ書き込み回路W 1が接続される。このデータ書き込み回路W 1は、データ書き込み端子T W 1とビット線B L 1との間に直列に接続されたクロックドインバータI W 1およびインバータI W 2と、データ書き込み端子T W 1とビット線／B L 1との間に接続されたクロックドインバータI W 3とを有する。ビット線B L n、／B L nを含む他のビット線にも同様にデータ書き込み回路W nが接続される。

【0022】

クロックドインバータI W 1、I W 3に供給される書き込みクロックc、／cは図2に示す書き込みクロック発生回路C Gから、後で述べるクロック信号C L Kおよびライトイネーブル信号W Eに基づいて発生される。

【0023】

以下、図7のタイミングチャートを参照して図5に示したS R A M回路および図6の書き込みクロック発生回路C Gの動作を説明する。

【0024】

図7において、(a)はクロック信号C L Kを示し、その1周期毎に(b)に示したライトイネーブル信号W Eにより書き込み(W r i t e)モードと読み出し(R e a d)モードのモード切換が行われる。即ち、(a)、(b)に示すように、クロック信号C L Kの各立ち上がりのタイミングでライトイネーブル信号W EがHのときは書き込みモード、Lのときは読み出しモードとなる。

【0025】

(c)は書き込みデータw d a t aを示し、ここでは4周期のクロック信号の

うち前半の2周期はLレベル、後半の2周期はHレベルとなるデータとして示してある。（d）はワード線選択信号であり、例えば図1のワード線WL1に供給される信号である。図5に示したSRAMセルはいずれもトランジスタトランジスタがNMOSトランジスタである。これらのトランジスタは、ワード線選択信号WLがHレベルになるタイミング、即ちクロック信号CLKがHレベルになるのと略同じタイミングでONとなり、書き込み、読み出しデータがSRAMセルに書き込まれ、あるいは読み出されることになる。

【0026】

（e）は反転プリチャージ信号／preを示し、ワード線選択信号WLと同期して読み出しモード、書き込みモードのいずれでもそれぞれHレベルとなる。従って、プリチャージ線PLに接続されたPMOSトランジスタPt1、Pt3は信号／preがLレベルとなる期間、即ちクロック信号の書き込み期間Wr ite、および読み出し期間Readに先行するLレベル期間のみONとなり、所定のプリチャージ電位がビット線BL1～BLn、／BL1～／BLnに供給される。

【0027】

（f）、（g）はデータ書き込み回路W1内のクロックドインバータIW1、IW3の導通状態を制御する相補の関係を有する書き込みクロック信号c、／cを示す。これらの書き込みクロック信号c、／cは図6および図7の（a）、（b）、（f）、（g）に示すように、クロック信号CLKに同期して、ライトイネーブル信号WEのHレベルに応じて発生される書き込み用のクロック信号である。

【0028】

（k）は書き込み回路の状態を示し、制御信号cがL、／cがHの時にはクロックドインバータIW1、IW3のいずれも動作せず、データ書き込み回路W1の状態はHi-Zである。一方、ライトイネーブル信号WEのHの期間では、制御信号cがH、／cがLとなり、クロックドインバータIW1、IW3が動作状態となり、データ書き込み回路W1の状態はLo-Zとなる。

【0029】

例えば、“0”データ書き込み時には、（c）に示すように、書き込みデータ

w d a t a は L レベルであり、インバータ I W 2、I W 1 を介して (h) に示すようにビット線 B L 1 には L レベルの電位が供給され、ビット線／B L 1 には (i) に示すように、H レベルの電位が供給される。この結果、例えば選択された S R A M セル S C 1 1 のトランジスタゲートトランジスタ T 1 に接続された記憶ノードは L レベル、トランジスタゲートトランジスタ T 2 に接続された記憶ノードには H レベルのデータが記憶される。“1”データ書き込み時には、同様にしてビット線 B L 1 側が H、ビット線／B L 1 側が L のデータが記憶される。

【0030】

データ読み出し時に、例えばビット線 B L 1 側のセル出力が L レベルであると、/pre 信号により PMOS トランジスタ P t 1 を介してプリチャージされたビット線 B L 1 の H レベルの電位は (h) に示したように読み出しサイクル R e a d より僅かに遅れて L レベルとなり、読み出しデータ r d a t a も (j) に示すように更に所定の遅れをもって L レベルとなる。

【0031】

又、ビット線 B L 1 側のセル出力が H レベルであると、(j) に示すように読み出しデータ r d a t a にレベル変化は生じない。

【0032】

以上のように、図 5 の実施形態ではプリチャージ線 P L 上の反転プリチャージ信号/pre によりデータの書き込み時、あるいは読み出し時にビット線 B L 1 が H にプリチャージされると、この H レベルがインバータ I R 1 を介して状態保持 PMOS トランジスタ P t 2 のゲートに供給されるから、このトランジスタ P t 2 はこのプリチャージ電位を維持する方向に働き、S R A M セルからのリーク電流によるビット線 B L 1 の電位低下を補償することができ、データ読み出しエラーを防止できる。

【0033】

尚、図 5 の実施形態では S R A M セル S C 1 1 に例示したように、6 個のトランジスタを用いて 1 つの S R A M セルを構成した場合を示した。しかしながら、この S R A M セルの内部構成は 6 トランジスタ構成に限らず、例えば 4 トランジスタ構成など他の構成の S R A M セルを用いても同様に実施できる。また、読み

出したデータがHレベルのときに、このHレベルにプリチャージされたビット線の電位を維持する場合で説明したが、反対に、読み出したデータがLレベルのときにビット線をこのLレベルにプリチャージし、その電位を維持する場合にもこの発明は適用できる。以下に説明される実施形態はいずれも前者の場合で説明するが、同様に後者の場合にも適用できる。

【0034】

尚、この図5に示した構成のS R A M回路では、選択されたセルのビット線B L 1側の出力がLのときには、このビット線B L 1の電位が速やかに低下して、データ読み出し回路R 1がこの電位低下を検知できなければならない。しかしながら、ビット線B L 1の電位が低下するのを妨げる方向に状態保持P M O SトランジスタP t 2が作用するため、結果的に、データ読み出し動作速度が低下してしまう。

【0035】

図1に示す実施形態はこのような図5の実施形態の不都合な点を改善したもので、セルのトランスファゲートトランジスタのオフリーク電流の増大に対処できるとともに、高速動作のS R A Mを実現できるものである。

【0036】

図1において図5の実施形態と同一の部分は同じ参照番号を付してその説明の重複を回避する。図1において図5の実施形態と異なる点は、データ読み出し回路R 1～R nの構成と、データ書き込み回路W 1～W nの構成である。データ読み出し回路R 1～R nは、いずれも図1に示したように2個の直列接続されたインバータI R 1、I R 2のみで構成され、ビット線B L 1～B L nに夫々接続される。

【0037】

また、データ書き込み回路W 1～W nは、図5の実施形態と同様に、回路W 1を例に取って図1に示したように、ビット線B L 1に接続されたクロックドインバータI W 1と、ビット線B L 1に接続されたクロックドインバータI W 3とを有する。クロックドインバータI W 1、I W 3の入力側は2入力N O RゲートI W 4、I W 5の出力端に接続され、この2入力N O Rゲートの一方の入力端子

は夫々、インバータ I W 7 を介してプリチャージ線 P L に接続されてプリチャージ信号/preを受ける。ゲート I W 4 の他方の入力端子はマルチプレクサ I W 6 の出力端子に直接に接続され、ゲート I W 5 の他方の入力端子はインバータ I W 2 を介してマルチプレクサ I W 6 の出力端子に接続される。このマルチプレクサ I W 6 の一方の入力端子はビット線 B L 1 の読み出しデータ出力端に接続され、他方の入力端子は書き込みデータ w d a t a の入力端子 T W 1 に接続される。

【0038】

マルチプレクサ I W 6 には読み出しモード信号Readが供給され、データ書き込みモードでは入力端子 T W 1 に供給された書き込みデータ w d a t a を通過させ、読み出しモードではビット線 B L 1 からの読み出しデータを通過させる。

【0039】

以下、図1の実施形態の動作について図2のタイミングチャートを参照して詳述する。図2のタイミングチャートにおいて図7と異なる点は、(c)の読み出しモード切換え信号 r e a d と、(g)のタイマー出力信号 t m o u t と、(m)のデータ書き込み回路の状態信号である。また、書き込みクロック発生回路 C G から発生される書き込みクロック c、/c は、ライトイネーブル信号WEのL レベルの期間に発生される。ここでは、(c)の信号 r e a d に同期して(g)のタイマー出力信号 t m o u t とともにスタートし、タイマー出力信号 t m o u t の立下りに同期して終了する。他の信号については図7と同じである。

ここで、図3を参照して書き込みクロック信号 c、/c の発生回路 C G の一例の構成を説明する。図3において、タイマー出力信号 t m o u t は、クロック信号 C L K を受けてから所定時間後に終了する遅延タイマー T M からの出力として得られる。このタイマー出力信号 t m o u t はライトイネーブル信号WEとともに書き込みクロック発生回路 C G に供給され、このタイマー出力信号 t m o u t に同期して相補関係を有する書き込みクロック信号 c、/c が発生される。即ち、図2の(m)に示すように、このタイマー出力信号 t m o u t がH レベルの期間のみクロックドインバータ I W 1、I W 3 の導通が阻止され、データ書き込み回路 W 1 から W n の状態が H i - Z となり、それ以外の期間は L o - Z となる。

【0040】

以下、図2のタイミングチャートを参照して図1のS R A Mの動作を詳細に説明する。図1の回路も図5の回路と同様にプリチャージ、書き込み、読み出しの3つのモードで動作する。

【0041】

例えばデータ書き込みモード時に、書き込み回路W1において、(d)の書き込みデータw d a t aがLレベルであるとする。この状態で(c)の読み出し指示信号r e a d信号がLレベルのときは、マルチプレクサIW6からLレベルの信号が出力され、N O RゲートIW4に供給されるとともに、インバータIW2で反転されたHレベルの信号がN O RゲートIW5に供給される。

【0042】

ここで、(b)のライトイネーブル信号WEがHとなるW r i t e期間の直前では、(f)に示したように、反転プリチャージ信号/preがLレベル、即ちインバータIW7から得られるプリチャージ電圧がHレベルであるから、N O RゲートIW4の出力がLとなり、クロックドインバータIW1の出力はHレベルとなり、ビット線B L 1にはプリチャージ電圧が供給される。

【0043】

一方、N O RゲートIW5の出力もLレベルとなるから、クロックドインバータIW3の出力はHレベルとなり、このHレベルのプリチャージ電圧がビット線／B L 1に供給される。このようにして、データ書き込み回路W1によりビット線B L 1、／B L 1がともにHレベルにプリチャージされる。

【0044】

この状態でライトイネーブル信号WEが立ちあがると共にクロックC L Kも立ち上がり、例えばワード線W L 1が選択されたとする。これによりプリチャージ電圧の供給が停止される。ここで、書き込みデータがLレベルであると、クロックドインバータIW1からビット線B L 1にはLレベル、クロックドインバータIW3からビット線／B L 1にはHレベルの書き込みデータがS R A MセルS C 1 1に供給されて、図2の(j)、(k)に示したようにデータの書き込みが行われる。即ち、書き込みデータが図2の(d)に示したようにHレベルになると、図2の(j)、(k)のように例えばビット線B L 1、／B L 1の電位が逆に

なるだけである。

【0045】

次に、読み出し時には、図2に示したように、読み出し指示信号 `read` がHレベルとなる直前に、信号WEの立下りに応じてプリチャージ電圧/preがL、即ちプリチャージ電圧がHレベルとなる。これにより、前述の書き込み時と同様に、ビット線BL1からBLn、/BL1～/BLnがHレベルにプリチャージされる。この状態で遅延タイマーTMからタイマー信号 `tout` が書き込みクロック発生回路CGに供給され、これに応じて書き込みクロックcがLに、/cがHになる。これにより、クロックドインバータIW1、IW3からの出力が停止され、データ書き込み回路W1がHi-Z状態となる。

【0046】

この状態で例えば(e)に示すようにワード線WL1が活性化されると、SRAMセルSC11から読み出しデータ `rdat` がビット線BL1、/BL1上に得られる。この時、SRAMセルSC11のデータ記憶状態に応じて2本のビット線BL1、/BL1の内で一方は必ずHレベルのままに保持される。この時、データ書き込み回路W1はHi-Z状態であるから、Hレベルのビット線は略フローティング状態となる。

【0047】

SRAMセルSC11からビット線BL1を介してデータ読み出し回路R1に読み出しデータが伝搬し、出力端子TR1に現れるタイミングで、(g)に示した遅延タイマーTMからのタイマー出力 `tout` により、書き込みクロック発生回路CGの出力c、/cの極性が反転する。この結果、データ書き込み回路W1の状態がLo-Zとなり、読み出されたデータがマルチプレクサIW6に供給される。図5の(j)に示したようにビット線BL1からLレベル、ビット線/BL1からHレベルのデータが読み出された場合には、ビット線BL1からのLレベルのデータがNORゲートIW4、クロックドインバータIW1を介してビット線BL1に書き戻される。一方、インバータIW2でHレベルに反転された読み出しデータはNORゲートIW5、クロックドインバータIW3を介して他方のビット線/BL1に書き戻される。この段階でHレベルを保持してフローテ

イング状態であったビット線／BL1のフローティング状態が解消される。

【0048】

ビット線BL1からHレベル、ビット線／BL1からLレベルのデータが読み出される場合にも同様にして、夫々Hレベル、Lレベルの読み出されたデータが対応するビット線に書き戻される。

【0049】

なお、データを読み出している期間、例えばワード線WL1が活性化されてからデータ読み出し回路R1の出力端子TR1にデータが伝搬されるまでの期間はビット線BL1もしくはビット線／BL1がフローティング状態になり、外部から何らの電位維持動作も行われない。しかし、このフローティング期間が長いとHレベルの電位が低下するおそれがある。従って、許されるフローティング時間は、ビット線容量とそのビット線に繋がるSRAMセルのトランスマジスタのオフリーケ電流の総和で決まる。この時間内にデータ書き込み回路W1からデータをビット線BL1、／BL1に書き戻し、データを保持できればよい。他のビット線対についても同様の動作となる。

【0050】

このように、図1に示した実施形態のSRAMによれば、データを読み出すとともに、所定タイミングで対応するビット線に書き戻すことにより、読み出し時にビット線をフローティング状態にできる回路構成であるから、外部からなんらの電位維持動作も必要でなく、SRAMの動作速度の向上が図れる。また、図5の実施形態と比べてデータ読み出し回路の構成が簡単になり、データ書き込み回路の構成素子の増加があるが、全体として回路面積の大きな増加はない。

【0051】

図1の実施形態では1つのSRAMからの読み出しデータがBL、／BLのビット線対に供給される、いわゆる1ポート構成の例として説明したが、BL、／BLに異なるSRAMセルの書き込み、読み出しデータが伝搬する、所謂2ポート化したSRAMにもこの発明を適用できる。以下、図4を参照してこの実施形態について詳細に説明する。

【0052】

図4においては一对のビット線B L、／B Lについてのみ示しているが、図1、図5と同様に複数のビット線対を有するS R A Mを構成できる。図4において、2ポート化するために、ビット線B L、／B L間に接続された複数のS R A MセルS C 1 1～S C m 1には夫々2本のワード線が接続される。図4では図面の簡略化の為にS R A MセルS C 1 1に接続された2本のワード線W L 1、W L 0のみ示している。一方のワード線W L 0はS R A MセルS C 1 1の一方のトランスマルチプレクサゲートトランジスタT 1のゲートに接続され、他方のワード線W L 1は他方のトランスマルチプレクサゲートトランジスタT 2のゲートに接続される。S R A MセルS C 1 1の内部構成は図1、図5の実施形態と同じである。

【0053】

ビット線B Lには第1のデータ読み出し回路R 1 1が接続され、ビット線／B Lには第2のデータ読み出し回路R 1 2が接続される。第1のデータ読み出し回路R 1 1は直列接続された2個のインバータI R 1、I R 2で構成され、第2のデータ読み出し回路R 1 2は1個のインバータI R 3により構成される。データ読み出し回路R 1 1の出力側は出力端子T R 1 1に接続されるとともに、データ書き込み回路W 1内のマルチプレクサI W 6 1の入力端子に接続される。データ読み出し回路R 1 2の出力側は出力端子T R 1 2に接続されると共に、データ書き込み回路W 1の他のマルチプレクサI W 6 2の入力端子に接続される。

【0054】

データ書き込み回路W 1は図1の実施形態と同様に、書き込みデータの入力端子とマルチプレクサI W 6 2の入力端子との間に接続されたデータ入力端子T W 1と、プリチャージ線P LとマルチプレクサI W 6 1、I W 6 2に接続されたN O RゲートI W 4、I W 5と、これらのゲートと直列接続されたクロックドインバータI W 1、I W 3とにより構成される。N O RゲートI W 4、I W 5とプリチャージ線P Lとの間には図1の場合と同様にインバータI W 7が接続される。

【0055】

図4のS R A M回路におけるデータの読み出し、書き込み動作の前にも夫々プリチャージ動作が実行される。プリチャージ線P LにLレベルのプリチャージ電圧/preが供給されたときには、N O RゲートI W 4、I W 5の出力レベルはいず

れもLとなる。この時、クロックドインバータIW1、IW3はいずれも導通状態であるから、反転されたHレベルのプリチャージ電圧がビット線BL、/BLに供給され、プリチャージが行われる。

【0056】

データ書き込み時には、書き込みデータ入力端子TW1に書き込みデータwdat aが供給され、そのデータ内容に応じたHまたはLレベルの電圧がビット線BL、/BLに供給され、例えばワード線WL0、WL1を活性化して選択されたSRAMセルSC11にデータを書き込む。

【0057】

データ読み出し時には、ワード線WL0あるいはワード線WL1を選択的に活性化することにより、SRAMセルSC11に記憶されているデータをビット線BLおよび/BLから異なるデータとして別々に読み出すことができる。このため、ビット線BL、/BL上に夫々読み出されたデータに応じた電圧をデータ書き込み回路W1を介してビット線BL、/BLに夫々書き戻し、これらのビット線の電位をデータ読み出し動作後に所定時間保持しておくことができる。

【0058】

例えばワード線WL0のみ活性化された場合にはSRAMセルSC11からビット線BLにのみデータが読み出され、これがデータ読み出し回路R11を介してデータ出力端子rdat a0に出力されるとともに、マルチプレクサIW61を介してデータ書き込み回路W1に供給され、ビット線BL上に書き戻される。

【0059】

他方のワード線WL1のみ活性化された場合にも、同様にSRAMセルSC11からビット線/BLにのみデータが読み出され、これがデータ読み出し回路R12を介してデータ出力端子rdat a1に出力されるとともに、マルチプレクサIW62を介してデータ書き込み回路W1に供給され、ビット線/BL上に書き戻される。

【0060】

このように2ポート化した場合でも、図1に示した実施形態と同様に読み出したデータを対応するビット線上に書き戻し、ビット線上の読み出しデータを保持

することができる。また、図1の場合と同様に、データ読み出し時に一時的にHレベルのビット線がフローティング状態となるため、このビット線の電位を保持するための何らの電位保持手段も必要とせず、これに起因する動作速度の低下もない。

【0061】

【発明の効果】

以上詳述したようにこの発明によれば、S R A Mセルからのデータ読み出し時に、トランスマルチエクスプレスのオフリードによるプリチャージされたビット線の電位低下を防止して読み出しエラーの発生を未然に防止でき、高速読み出しが可能な半導体メモリ装置を提供することが出来る。

【図面の簡単な説明】

【図1】

この発明の一実施形態のS R A Mの構成を示すブロック図。

【図2】

図1のS R A Mの動作を示すタイミングチャート。

【図3】

図1中のクロックドインバータの制御クロックを発生する書き込みクロック発生回路の一例のブロック図。

【図4】

この発明の他の実施形態のS R A Mの構成を示すブロック図。

【図5】

この発明の更に他の実施形態のS R A Mの構成を示すブロック図。

【図6】

図5のクロックドインバータの制御クロックを発生するための書き込みクロック発生回路の一例を示すブロック図。

【図7】

図5のS R A Mの動作を示すタイミングチャート。

【符号の説明】

BL、/BL、BL1～BLn、/BL1～/BLn…ビット線。

WL 1 ~ WL m … ワード線。

SC 1 1 ~ SC m n … SRAMセル。

I W 1 、 I W 3 … クロックドインバータ。

PL … プリチャージ線。

P t 2 … 状態保持PMOS。

P t 3 … プリチャージ用PMOS。

R 1 ~ R n … データ読み出し回路。

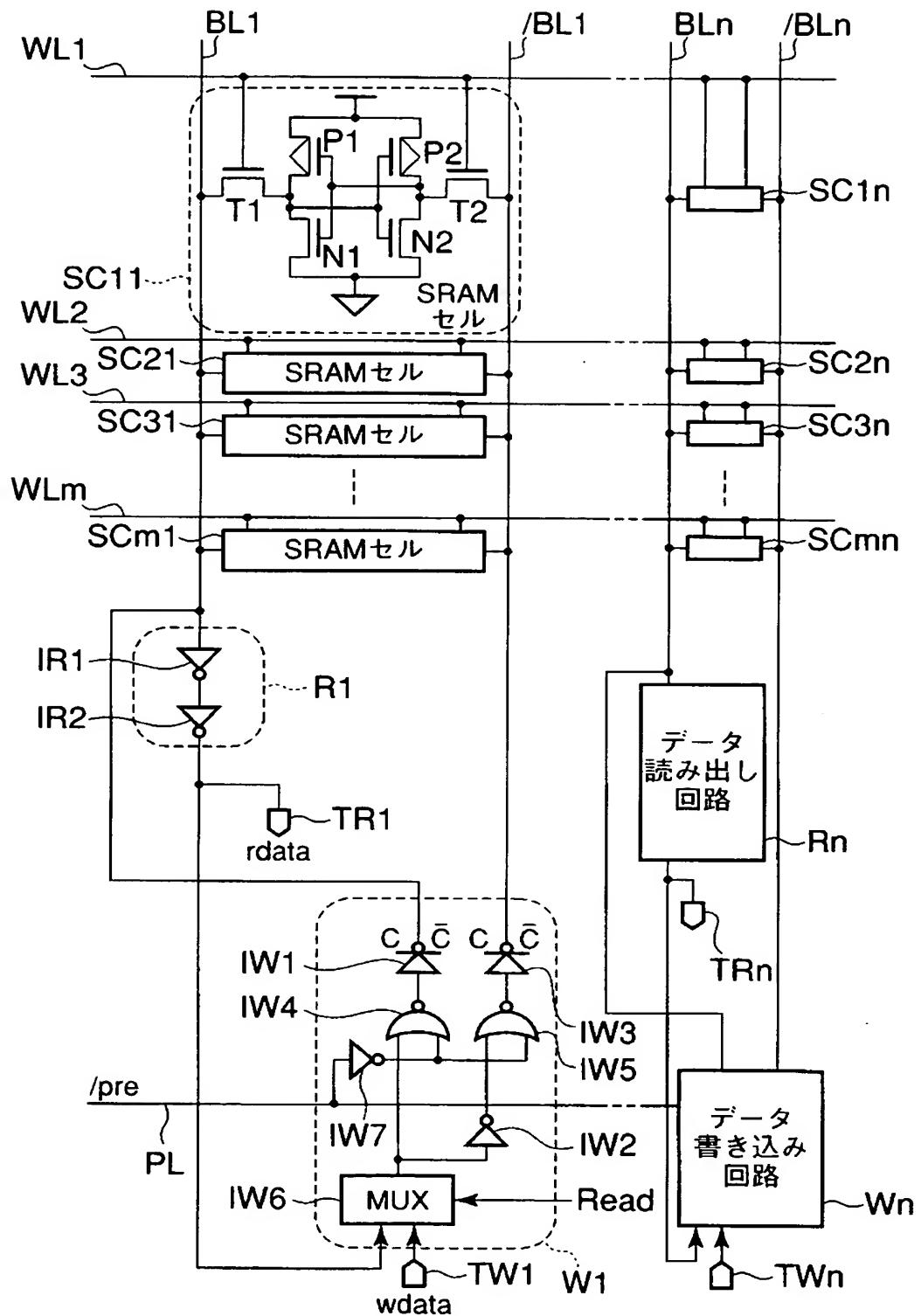
W 1 ~ W n … データ書き込み回路。

CG … 書き込みクロック発生回路。

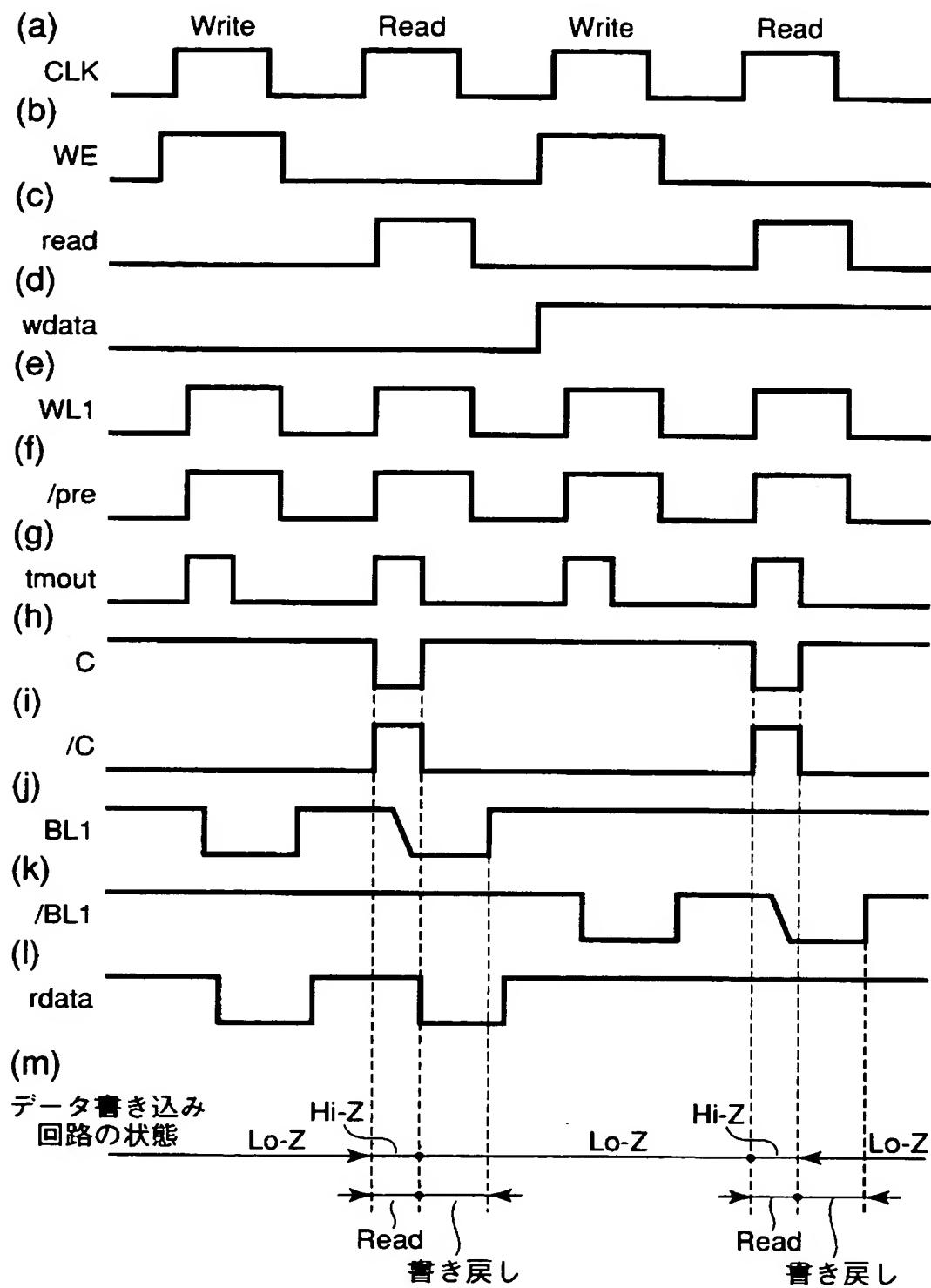
【書類名】

図面

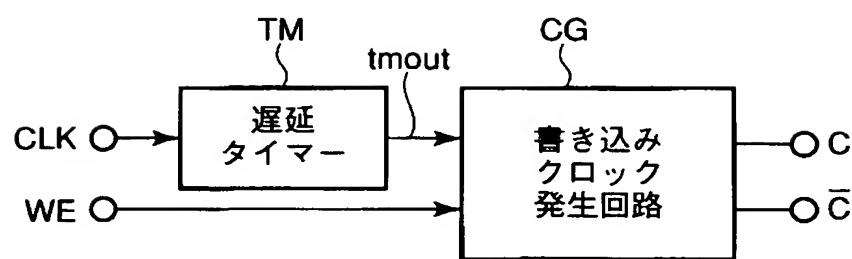
【図 1】



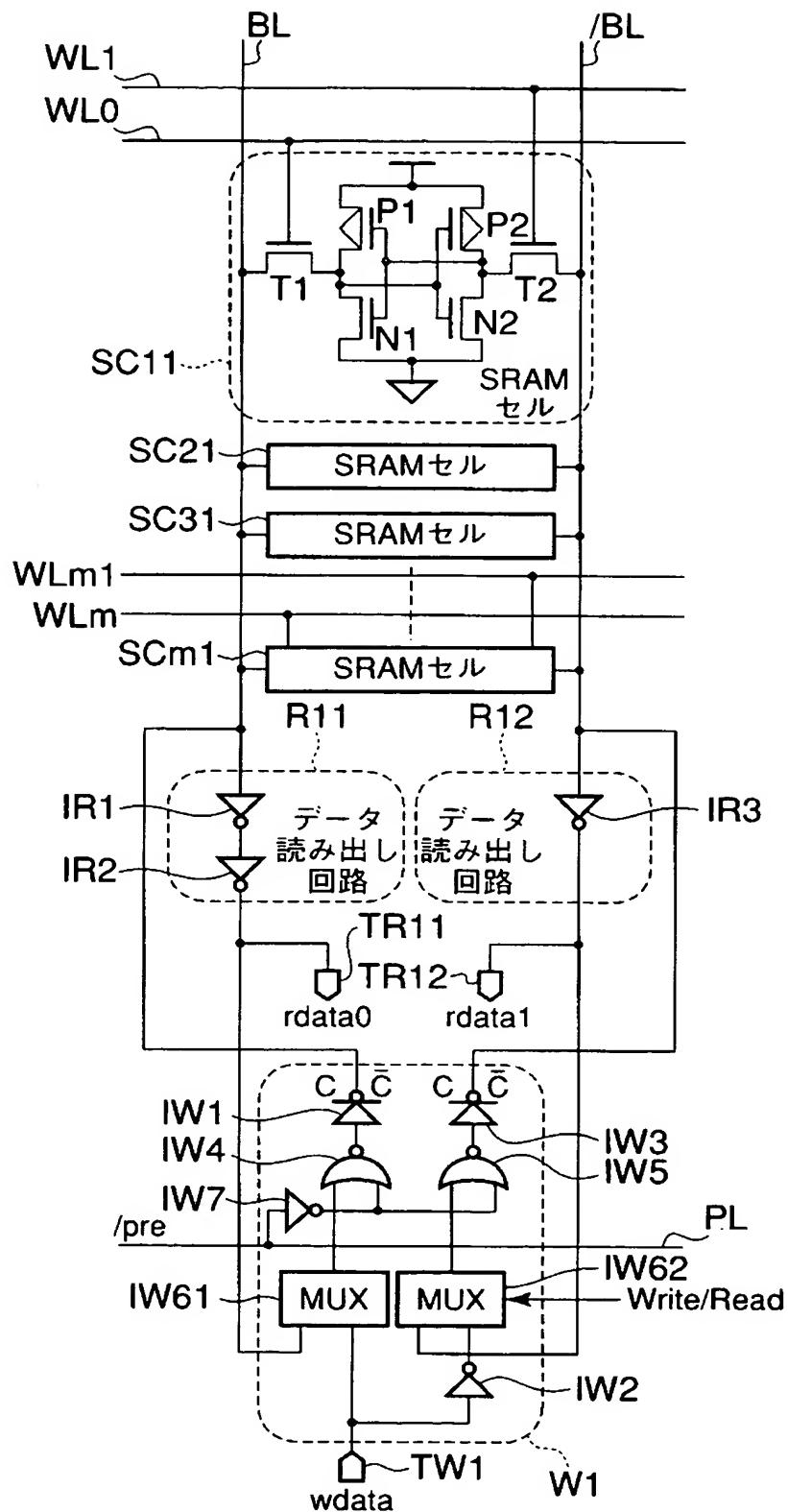
【図 2】



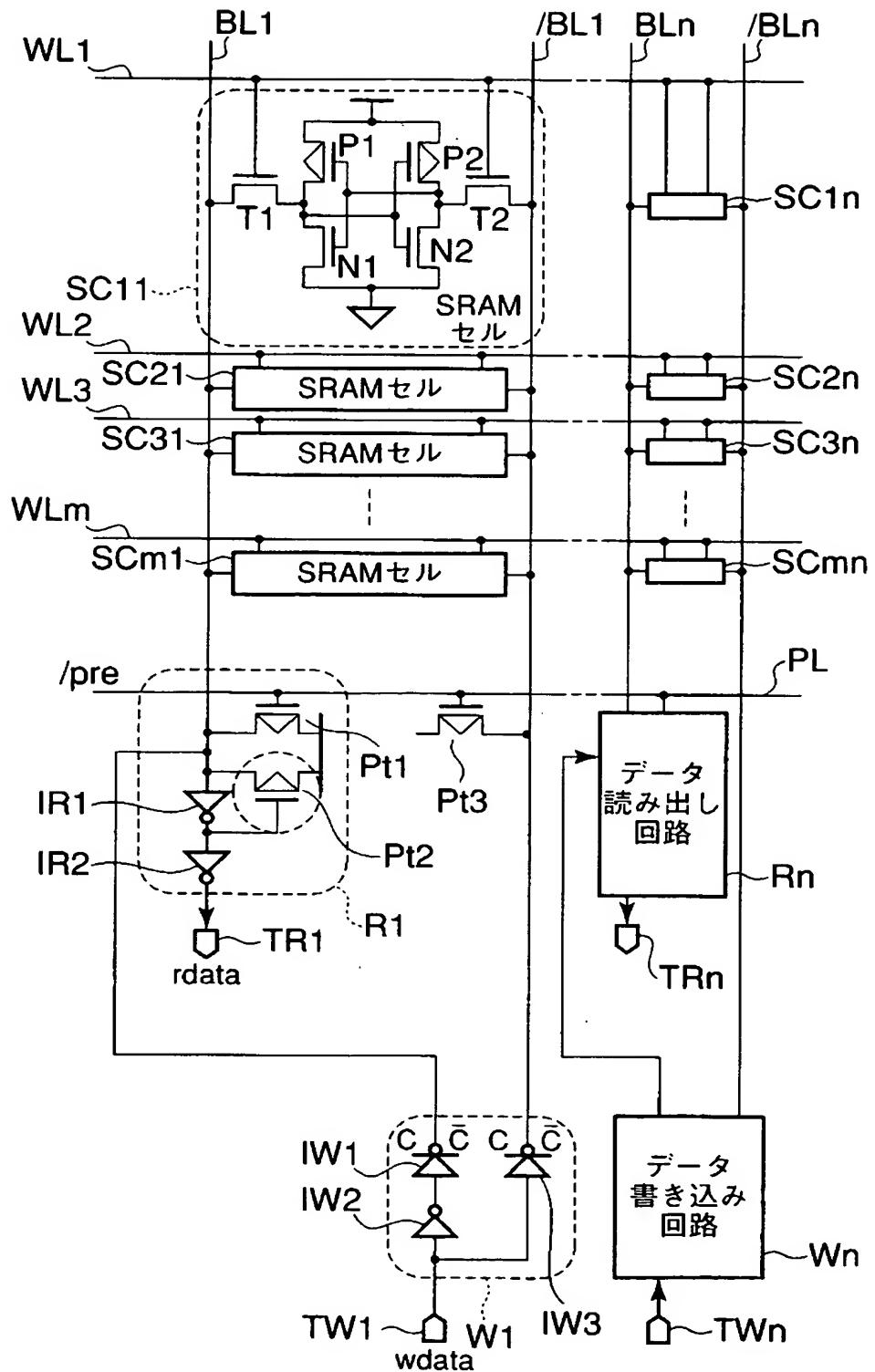
【図3】



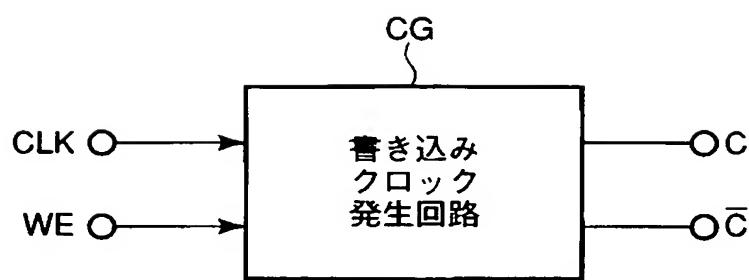
【図4】



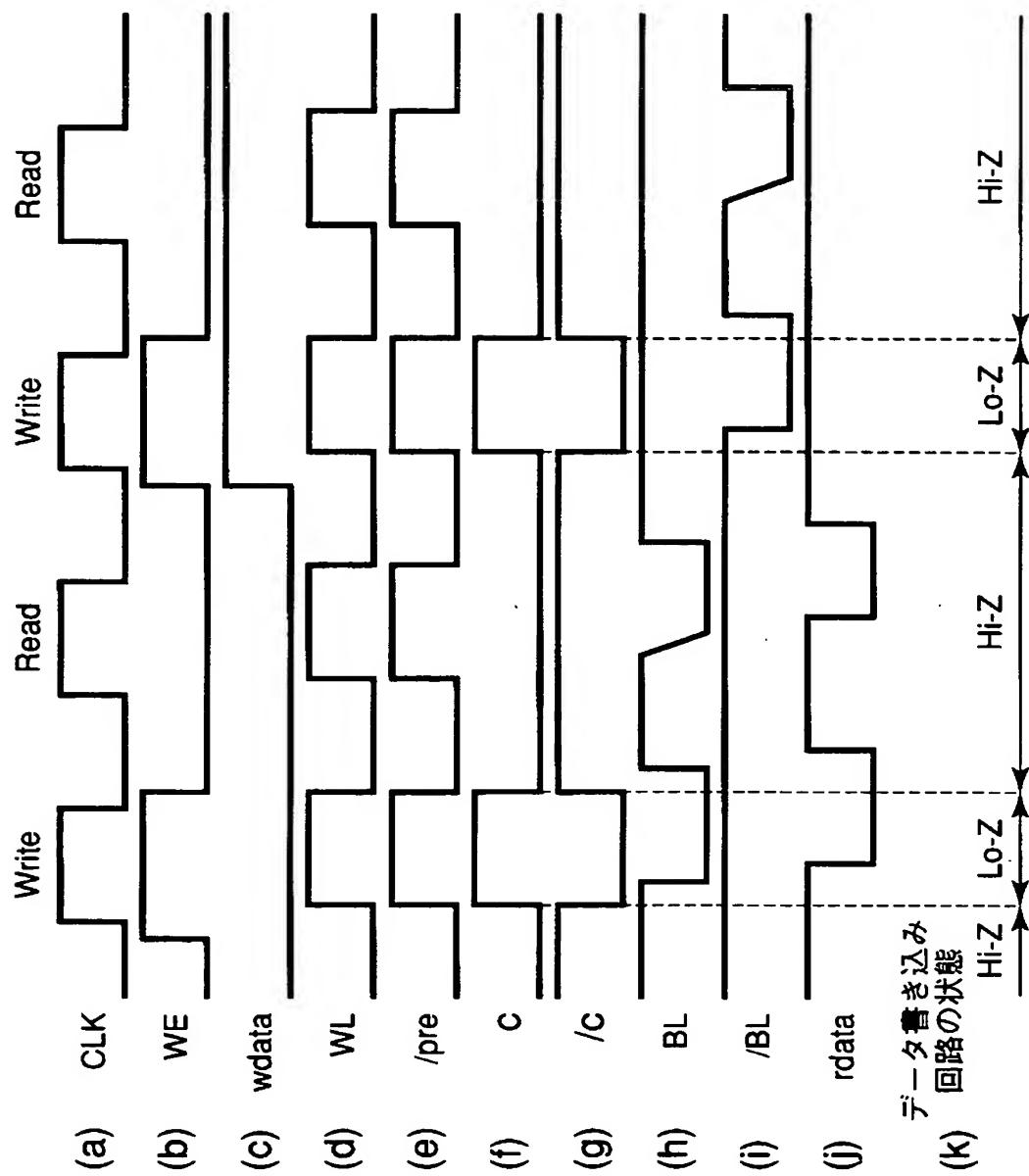
【図 5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 S R A M セルからのデータ読み出し時に、トランスマルチゲートトランジスタのオフリースによるプリチャージされたビット線の電位低下を防止するとともに、高速読み出しが可能な半導体メモリ装置を提供することを目的とする。

【解決手段】 第1, 第2のビット線BL1, BL2間に夫々第1, 第2のデータ記憶ノードを介して接続された複数のS R A M セルSC11～SCm1を有するセルアレイと、前記ビット線と交差する第2の方向に配列された複数のワード線WL1～WLmと、書き込みモード時に前記ワード線により選択されたS R A M セルに前記第1, 第2のビット線を介して書き込みデータを供給するとともに、読み出しモード時に前記ワード線により選択されたS R A M セルから前記第1のビット線に読み出された読み出しデータを前記第1のビット線に書き戻すデータ書き込み回路W1～Wnにより半導体メモリ装置が構成される。

【選択図】 図1

特願 2003-204516

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住所 東京都港区芝浦一丁目1番1号
氏名 株式会社東芝